

## Semiconductor device with gate insulator formed of high dielectric film

Patent Number:  US6278164

Publication date: 2001-08-21

Inventor(s): AOYAMA TOMONORI (JP); HIEDA KATSUHIKO (JP); IMAI KEITARO (JP); TSUNASHIMA YOSHITAKA (JP)

Applicant(s): TOKYO SHIBAURA ELECTRIC CO (US)

Requested Patent:  JP10189966

Application  
Number: US19970996704 19971223

Priority Number  
(s): JP19960356493 19961226

IPC Classification: H01L29/76; H01L29/94

EC Classification: H01L29/78K, H01L21/336U, H01L29/49F, H01L29/51B, H01L29/51F

Equivalents:

---

### Abstract

---

A p-type silicon substrate has an element isolation region of an STI structure formed therein. A transistor region isolated by the isolation region has a n-type source/drain diffusion layer. Further, a p-channel impurity layer is formed substantially only in its channel region for controlling its threshold voltage ( $V_{th}$ ). A gate insulator film consisting of a high dielectric film is formed on the channel region with an Si<sub>3</sub>N<sub>4</sub> film interposed therebetween. A metal gate electrode having its bottom and side surfaces covered with the gate insulator film is provided in a self-alignment manner with respect to the source/drain diffusion layer.

Data supplied from the esp@cenet database - I2

AL

(19) 日本国特許庁 (JP)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平10-189966

(43) 公開日 平成10年(1998)7月21日

(51) Int.Cl.<sup>6</sup>  
H 01 L 29/78  
27/10 4 5 1  
21/8247  
29/788  
29/792

識別記号

F I  
H 01 L 29/78 3 0 1 X  
27/10 4 5 1  
29/788 3 7 1

審査請求 未請求 請求項の数19 FD (全 12 頁)

(21) 出願番号 特願平8-356493

(22) 出願日 平成8年(1996)12月26日

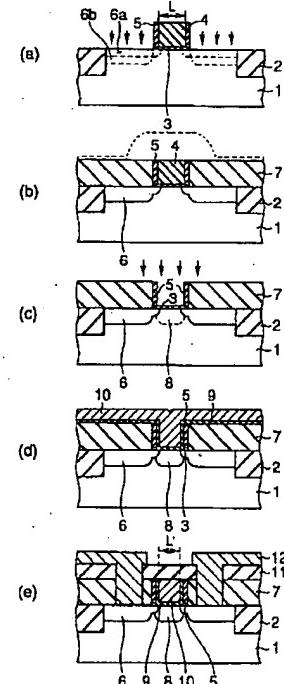
(71) 出願人 000003078  
株式会社東芝  
神奈川県川崎市幸区堀川町72番地  
(72) 発明者 碑田 克彦  
神奈川県川崎市幸区小向東芝町1番地 株式会社東芝研究開発センター内  
(72) 発明者 紗島 祥隆  
神奈川県川崎市幸区小向東芝町1番地 株式会社東芝研究開発センター内  
(72) 発明者 今井 騰太郎  
神奈川県川崎市幸区小向東芝町1番地 株式会社東芝研究開発センター内  
(74) 代理人 弁理士 鈴江 武彦 (外6名)  
最終頁に続く

(54) 【発明の名称】 半導体装置及びその製造方法

(57) 【要約】

【課題】 高温熱処理等によるゲート絶縁膜の劣化等を防止することができ、しかも信頼性や特性に優れた半導体装置を得る。

【解決手段】 半導体基板1上のゲート形成予定域にダミーゲートパターン4を形成する工程と、このダミーゲートパターン4をマスクとして半導体基板1に不純物を導入してソース／ドレイン領域6を形成する工程と、ダミーゲートパターン4の周囲に絶縁膜7を形成する工程と、ダミーゲートパターン4を選択的に除去する工程と、ダミーゲートパターン4が除去された凹部の底面及び側面にゲート絶縁膜9を形成する工程と、ゲート絶縁膜9が形成された凹部に導電材を埋め込んでゲート電極10を形成する工程とを有する。



## 【特許請求の範囲】

【請求項1】 ソース、ドレイン及びソース・ドレイン間の導通状態を制御するゲート電極を有する半導体素子を含む半導体装置において、前記半導体素子のゲート電極の底面及び側面がゲート絶縁膜によって覆われていることを特徴とする半導体装置。

【請求項2】 前記ゲート電極の底面及び側面に形成された前記ゲート絶縁膜の膜厚がほぼ等しいことを特徴とする請求項1に記載の半導体装置。

【請求項3】 前記ゲート絶縁膜がTa<sub>2</sub>O<sub>5</sub>膜の単層膜又はTa<sub>2</sub>O<sub>5</sub>膜を少なくとも有する積層膜によって形成されていることを特徴とする請求項1に記載の半導体装置。

【請求項4】 前記ゲート絶縁膜がBa、Sr及びTiを含む膜の単層膜又はBa、Sr及びTiを含む膜を少なくとも有する積層膜によって形成されていることを特徴とする請求項1に記載の半導体装置。

【請求項5】 前記Ba、Sr及びTiを含む膜はエピタキシャル膜であることを特徴とする請求項4に記載の半導体装置。

【請求項6】 前記ゲート絶縁膜がシリコン酸化膜の単層膜又はシリコン酸化膜を少なくとも有する積層膜によって形成されていることを特徴とする請求項1に記載の半導体装置。

【請求項7】 前記積層膜は下地のシリコンとの界面にのみ形成された膜を少なくとも有する膜であることを特徴とする請求項3乃至6のいずれかに記載の半導体装置。

【請求項8】 前記ゲート電極がメタルゲート電極であることを特徴とする請求項1に記載の半導体装置。

【請求項9】 前記ゲート絶縁膜の膜厚が異なる複数の前記半導体素子を含むことを特徴とする請求項1に記載の半導体装置。

【請求項10】 前記ゲート絶縁膜の構成材料が異なる複数の前記半導体素子を含むことを特徴とする請求項1に記載の半導体装置。

【請求項11】 前記ゲート絶縁膜に少なくとも強誘電体膜を含む膜を用いた前記半導体素子と前記ゲート絶縁膜に少なくとも高誘電体膜を含む膜を用いた前記半導体素子とを含むことを特徴とする請求項1に記載の半導体装置。

【請求項12】 前記ゲート絶縁膜に少なくとも強誘電体膜を含む膜を用いた前記半導体素子と前記ゲート絶縁膜に少なくともシリコン酸化膜を含む膜を用いた前記半導体素子とを含むことを特徴とする請求項1に記載の半導体装置。

【請求項13】 前記ゲート電極の構成材料が異なる複数の前記半導体素子を含むことを特徴とする請求項1に記載の半導体装置。

【請求項14】 半導体基板上のゲート形成予定域にダ

ミーゲートパターンを形成する工程と、このダミーゲートパターンをマスクとして前記半導体基板に不純物を導入してソース/ドレイン領域を形成する工程と、前記ダミーゲートパターンの周囲に絶縁膜を形成する工程と、前記ダミーゲートパターンを選択的に除去する工程と、前記ダミーゲートパターンが除去された凹部の底面及び側面にゲート絶縁膜を形成する工程と、前記ゲート絶縁膜が形成された前記凹部に導電材を埋め込んだゲート電極を形成する工程とを有することを特徴とする半導体装置の製造方法。

【請求項15】 前記ダミーゲートパターンを除去する工程と前記ゲート絶縁膜を形成する工程とをそれぞれに對して行うことにより、前記ゲート絶縁膜の構成材料がそれぞれ異なる複数の半導体素子を形成することを特徴とする請求項14に記載の半導体装置の製造方法。

【請求項16】 前記ソース/ドレイン領域に導入された不純物を熱処理によって活性化した後に前記ゲート電極を形成する工程を行うことを特徴とする請求項14に記載の半導体装置の製造方法。

【請求項17】 前記ソース/ドレイン領域上にシリサイド層を形成した後に前記ゲート絶縁膜及び前記ゲート電極を形成する工程を行うことを特徴とする請求項14に記載の半導体装置の製造方法。

【請求項18】 前記ソース/ドレイン領域上にエピタキシャルシリコン層を形成した後に前記ゲート絶縁膜及び前記ゲート電極を形成する工程を行うことを特徴とする請求項14に記載の半導体装置の製造方法。

【請求項19】 前記ゲート絶縁膜をシリコン酸化膜の単層膜又はシリコン酸化膜を少なくとも有する積層膜によって形成し、その後このゲート絶縁膜の絶縁特性及び下地のシリコンとの界面特性を改善するための熱処理を行うことを特徴とする請求項14に記載の半導体装置の製造方法。

## 【発明の詳細な説明】

## 【0001】

【発明の属する技術分野】本発明は、半導体装置及びその製造方法に関する。

## 【0002】

【従来の技術】シリコン酸化膜(SiO<sub>2</sub>)をゲート酸化膜として用いるMOSトランジスタにおいて、ゲート酸化膜の薄膜化はトランジスタの高性能化を進める上で重要な役割を果たしている。しかし、ダイレクト・トンネリングが起こる膜厚よりゲート酸化膜を薄く(例えば3nm程度以下の膜厚)することは、トランジスタの実用上問題であると考えられている。この問題に対する解決策の一つとして、Ta<sub>2</sub>O<sub>5</sub>膜などのいわゆる「高誘電体膜」をゲート絶縁膜として用い、ゲート電極と基板間やゲート電極とソース/ドレイン間のリーク電流(ダイレクト・トンネリング)を抑えつつ酸化膜換算膜厚を小さくする方法が提案されている。

【0003】しかし、この様な高誘電体膜を使ったトランジスタは、高誘電体膜を用いたゲート絶縁膜及びメタル材料を用いたゲート電極を形成した後の800°Cから1000°Cにおよぶ高温熱工程（ソース／ドレイン拡散層の形成工程、層間膜のリフロー工程等）を経ると、Siと高誘電体膜或いは高誘電体膜とゲート電極間の界面反応を生じる。したがって、この様な高温工程に耐えることが困難であり、高誘電体膜の劣化を引き起こし、電気的に特性の良いトランジスタを得ることが難しいという問題がある。

【0004】図12(a)及び(b)は、このような従来の問題点を説明するための図である。これらの図において、31はシリコン基板、32はSTI(Shallow Trench Isolation)による素子分離領域、33はゲート絶縁膜、34はゲート電極、35はソース／ドレイン層である。

【0005】例えば、ソース／ドレイン層35の熱工程を避けるため、ソース／ドレイン層35をゲート電極34より先に形成する場合、図12(a)に示すように、ソース／ドレイン層35とゲート電極34との合わせざれが大きな問題となる。また、ゲート電極34を形成した後のリフローなどの平坦化工程における熱工程をどのようにするかという問題もある。

【0006】また、従来どおり、ゲート電極34を先に形成して、ソース／ドレイン層35を後で形成する場合、ソース／ドレイン層35の活性化工程やリフロー工程等の高温工程に耐えるため、図12(b)に示すように、高誘電体膜を例えばSiO<sub>2</sub>膜で挟んでゲート絶縁膜33を形成するなどの対策が必要となる。したがって、かえってゲート絶縁膜のトータルの酸化膜換算膜厚が厚くなってしまうといった問題がある。

【0007】また、ゲート電極34とソース／ドレイン層35との間の耐圧や素子の信頼性を向上させるために、通常ゲート電極34の加工後に後酸化を行なっているが、この後酸化工程（例えば900°C、30分程度）で高誘電体膜の組成が変わり、その結果、ゲート絶縁膜33のリーク電流が増加するなどの絶縁膜としての特性劣化の問題もあった。

【0008】

【発明が解決しようとする課題】このように、高誘電体膜をゲート絶縁膜に適用しようとした場合、高誘電体膜が高温熱処理工程に対して十分な耐熱性を有していないため、高誘電体膜が劣化する等、電気的に特性の良いトランジスタを得ることが難しかった。

【0009】本発明の目的は、例えば高誘電体膜等をゲート絶縁膜に適用した場合に、高温熱処理等によるゲート絶縁膜の劣化等を防止することができ、しかも信頼性や特性に優れた半導体素子を得ることが可能な半導体装置及びその製造方法を提供することにある。

【0010】

【課題を解決するための手段】本発明における半導体装置は、ソース、ドレイン及びソース・ドレイン間の導通状態を制御するゲート電極を有する半導体素子を含む半導体装置において、前記半導体素子のゲート電極の底面及び側面がゲート絶縁膜によって覆われていることを特徴とする。

【0011】前記半導体素子としては、MISトランジスタや強誘電体メモリ素子等、ソース、ドレイン及びゲート電極を有するトランジスタ構造の素子があげられる。

【0012】前記構成によれば、ゲート電極の底面及び側面がゲート絶縁膜によって覆われているため、従来のように後酸化を行わなくても、ゲート電極と基板との間或いはゲート電極とソース／ドレインとの間の良好な耐圧を確保することができる。また、ゲート電極の側面にもゲート絶縁膜が形成されているため、半導体素子のチャネル長を、リソグラフィーの限界で決まる寸法よりもゲート絶縁膜の膜厚の2倍分だけ短くすることができ、半導体素子の性能を向上させることができる。さらに、STIコーナーにおける「くぼみ」をゲート絶縁膜で埋めることができるので、コーナーにおける寄生トランジスタの形成を抑制することができ、しきい値のバラツキ等を少なくすることができる。

【0013】前記ゲート電極の底面及び側面に形成された前記ゲート絶縁膜の膜厚はほぼ等しいことが好ましい。この場合、ゲート絶縁膜を例えばCVD法によって形成すればよい。

【0014】また、前記ゲート絶縁膜には、Ta<sub>2</sub>O<sub>5</sub>膜の単層膜又はTa<sub>2</sub>O<sub>5</sub>膜を少なくとも有する積層膜、Ba、Sr及びTiを含む膜の単層膜又はBa、Sr及びTiを含む膜を少なくとも有する積層膜、シリコン酸化膜の単層膜又はシリコン酸化膜を少なくとも有する積層膜等を用いることができる。この場合、前記Ba、Sr及びTiを含む膜にエピタキシャル膜を用いるようにしてもよい。SiO<sub>2</sub>膜やSi<sub>3</sub>N<sub>4</sub>膜等を介してTa<sub>2</sub>O<sub>5</sub>膜や(Ba、Sr)TiO<sub>3</sub>膜等を堆積する、或いは、CVD-SiO<sub>2</sub>膜、CVD-SiON膜、CVD-Si<sub>3</sub>N<sub>4</sub>膜を含む積層膜にする等、2種類以上の絶縁膜を積層することにより、下地のシリコン基板との間の界面準位を低減することができる。なお、積層膜としては、下地のシリコンとの界面にのみ形成された膜を少なくとも有する膜を用いるようにしてもよい。

【0015】また、前記ゲート電極にはメタルゲート電極を用いることができる。

【0016】また、前記半導体装置には、ゲート絶縁膜の膜厚や構成材料が異なる複数の半導体素子を含むようにしてもよい。このような構成にすることにより、同一チップ内において、例えば、pチャネルトランジスタとnチャネルトランジスタ或いはメモリセル部のトランジ

スタと周辺回路制御部のトランジスタ又は周辺回路制御部の一部のトランジスタが、それぞれ最大のパフォーマンスを発揮するよう構成することができる。

【0017】また、前記半導体装置には、ゲート絶縁膜に少なくとも強誘電体膜を含む膜を用いた半導体素子とゲート絶縁膜に少なくとも高誘電体膜を含む膜を用いた半導体素子とを設けるようにしてもよい。後述の製造方法を用いることにより、ゲート絶縁膜に少なくとも強誘電体膜を含む膜を用いた強誘電体メモリ素子と、ゲート絶縁膜に少なくとも高誘電体膜を含む膜を用いたMISトランジスタとを、簡単な工程で同一チップ内に作製することができ、高集積化されたメモリチップを得ることができる。

【0018】また、前記半導体装置には、ゲート絶縁膜に少なくとも強誘電体膜を含む膜を用いた半導体素子とゲート絶縁膜に少なくともシリコン酸化膜を含む膜を用いた半導体素子とを設けるようにしてもよい。後述の製造方法を用いることにより、ゲート絶縁膜に少なくとも強誘電体膜を含む膜を用いた強誘電体メモリ素子と、ゲート絶縁膜に少なくともシリコン酸化膜を含む膜を用いたMISトランジスタとを、簡単な工程で同一チップ内に作製することができ、高集積化されたメモリチップを得ることができる。この場合、シリコン酸化膜を含む膜を用いたMISトランジスタを先に作ることにより、後で形成する強誘電体膜を用いたメモリ素子への別工程をおさえることができる。

【0019】また、前記半導体装置には、ゲート電極の構成材料が異なる複数の半導体素子を含むようにしてもよい。このような構成にすることにより、同一チップ内において、例えば、pチャネルトランジスタとnチャネルトランジスタ或いはメモリセル部のトランジスタと周辺回路制御部のトランジスタそれぞれに対して、ゲート絶縁膜のリークを低減できるゲート構成材料を選択することができる。

【0020】本発明における半導体装置の製造方法は、半導体基板上のゲート形成予定域にダミーゲートパターンを形成する工程と、このダミーゲートパターンをマスクとして前記半導体基板に不純物を導入してソース／ドレイン領域を形成する工程と、前記ダミーゲートパターンの周囲に絶縁膜を形成する工程と、前記ダミーゲートパターンを選択的に除去する工程と、前記ダミーゲートパターンが除去された凹部の底面及び側面にゲート絶縁膜を形成する工程と、前記ゲート絶縁膜が形成された前記凹部に導電材を埋め込んだゲート電極を形成する工程とを有することを特徴とする。

【0021】前記製造方法によれば、ゲート電極及びゲート絶縁膜を形成する前に、例えばソース／ドレイン領域に導入された不純物の活性化工程等、種々の高温熱処理工程を行うことが可能であり、高温熱処理によるゲート絶縁膜、特に高誘電体膜の劣化等を防止することができる。

きる。また、ソース／ドレイン領域へのシリサイド層や選択エピタキシャル成長シリコン層の形成工程といった高温熱工程もゲート電極及びゲート絶縁膜を形成する前に行うことができるため、高誘電体膜をゲート絶縁膜に用いた場合でも、シリサイド層や選択エピタキシャル成長シリコン層によるソース／ドレインの低抵抗化を達成することができる。

【0022】また、前記製造方法によれば、チャネル領域のみに選択的にしきい値調整用のチャネルイオン注入層を形成することができ、ソース／ドレインの接合リークを減少させることができる。また、高温熱処理工程を行う前にこのチャネルイオン注入層を形成することができるため、急峻な不純物プロファイルを維持することができ、短チャネル効果を有効に抑制することができる。また、ゲート電極を従来のようにRIEを用いて CMPによって形成することができるので、ゲート電極の構成材料の選択の幅が広がり、高誘電体膜等を用いたゲート絶縁膜のリークを低減できるような仕事関数を有するメタル材料を選択することができる。また、ゲート電極の加工にCMPを用いることにより、RIEを用いた場合に見られるようなプラズマによるゲート絶縁膜へのダメージを回避することができる。さらに、ソース／ドレイン拡散層を形成するための不純物イオン注入をダミーゲートパターンをマスクとして行い、ダミーゲートパターンを除去した領域にゲート電極を形成するので、ソース／ドレインに対して自己整合的にゲート電極を形成することができる。すなわち、従来と同様に、ゲート電極に対して自己整合的にソース／ドレインが形成されることになる。

【0023】また、前記製造方法において、ダミーゲートパターンを除去する工程とゲート絶縁膜を形成する工程とをそれぞれに対して行うことにより、ゲート絶縁膜の構成材料がそれぞれ異なる複数の半導体素子を形成することができる。

【0024】さらに、前記前記製造方法において、ゲート絶縁膜をシリコン酸化膜の単層膜又はシリコン酸化膜を少なくとも有する積層膜によって形成し、その後このゲート絶縁膜の絶縁特性及び下地のシリコンとの界面特性を改善するための熱処理を行うようにしてもよい。

【0025】

【発明の実施の形態】まず、本発明の第1実施形態について、図1及び図2を参照して説明する。

【0026】図1(a)及び(b)は、第1実施形態に係る単体トランジスタの平面図及びそのA-A'断面図である。

【0027】不純物濃度 $5 \times 10^{15} \text{ cm}^{-3}$ 程度のP型シリコン基板1にはSTI構造の素子分離領域2が形成されている。この素子分離領域2で分離されたトランジスタ領域内には、不純物濃度 $5 \times 10^{19} \text{ cm}^{-3}$ 程度と $5 \times 10^{20} \text{ cm}^{-3}$ 程度のLDD構造を有し、拡散層深さ0.

10 μm程度のn型拡散層からなるソース／ドレイン6が形成されており、さらに、しきい値( $V_{th}$ )をコントロールするための不純物濃度 $5 \times 10^{16} \text{ cm}^{-3}$ 程度のp型チャネル不純物層8が主にチャネル領域にのみ選択形成されている。

【0028】また、チャネル領域には、チャネル表面を覆うようにして、例えば1 nm程度の膜厚のSi<sub>3</sub>N<sub>4</sub>膜を介して高誘電体膜(Ta<sub>2</sub>O<sub>5</sub>膜)を用いたゲート絶縁膜9が形成されている。そして、このゲート絶縁膜9に底面及び側面を囲まれて、メタル(例えば、TiN膜、Ru膜、W膜或いはそれらの積層膜等)からなるゲート電極10が形成されている。ゲート電極10は、ソース／ドレイン拡散層6に対して自己整合的に形成されている。チャネル方向の幅は、例えば0.1～0.15 μm程度である。また、層間絶縁膜7及び11に設けたコンタクト孔を介して、ソース／ドレイン拡散層6に配線12が接続されており、さらにパシベーション膜13によって全体が覆われている。

【0029】つぎに、図2(a)～(e)及び図13(a)～(e)を用いて、図1に示したトランジスタの製造工程の一例を説明する。なお、第2図(a)～(e)は図13(a)～(e)それぞれのA-A'断面に対応した図である。

【0030】まず、図2(a)及び図13(a)に示すように、不純物濃度 $5 \times 10^{16} \text{ cm}^{-3}$ 程度のp型シリコン基板1(n型シリコン基板やp型Si基板の表面にp型又はn型エピタキシャルSi層を1 μm程度の膜厚で成長させたいわゆるエピタキシャル基板を用いることも可能)(100)面に、nチャネルトランジスタ形成領域にはpウエル(図示せず)を、pチャネルトランジスタ形成領域にはnウエル(図示せず)をそれぞれ形成する。

【0031】次に、例えばRIE法を用いてSi基板1に溝を掘り、その溝に絶縁膜を埋め込む、いわゆるトレンチ型の素子分離層2(トレンチ深さ約0.2 μm程度のSTI)を形成する。

【0032】次に、厚さ5 nm程度のSiO<sub>2</sub>膜3を形成し、このSiO<sub>2</sub>膜3の上にダミーゲートパターン4を形成するためのSi<sub>3</sub>N<sub>4</sub>膜を膜厚300 nm程度で全面に堆積し、例えばリソグラフィー法とRIE法などを用いてダミーゲートパターンに加工する。なお、本例ではダミーゲートパターン4にSi<sub>3</sub>N<sub>4</sub>膜を採用しているが、後の工程での層間絶縁膜7(例えばSiO<sub>2</sub>膜)に対して選択的に除去できる膜であればよく、第2実施形態で述べるようにポリSi膜を用いてもよい。ポリSi膜の場合は、ポリSi膜のRIE時にSiO<sub>2</sub>膜3に対して選択比が取り易いので、Si基板1へのRIEによるエッチングダメージが抑え易い。このダミートパターン4は後の工程で形成するゲート電極と相似形になっており、素子分離層2上にも延在している。すな

わち、従来のゲート電極パターンと等しいパターンである。

【0033】次に、LDD構造を形成するため、ダミーゲートパターン4となるSi<sub>3</sub>N<sub>4</sub>膜をマスクとして、例えばリン(P<sup>+</sup>)のイオン注入を70 KeV、 $4 \times 10^{13} \text{ cm}^{-2}$ 程度行ない、n<sup>-</sup>型拡散層6aを形成する。次に、SiO<sub>2</sub>膜を全面に堆積した後、全面のRIEを行ない、ダミーゲートパターン4の側壁に膜厚20 nm程度のSiO<sub>2</sub>膜5を形成する。その後、例えば砒素(As<sup>+</sup>)のイオン注入を30 KeV、 $5 \times 10^{15} \text{ cm}^{-2}$ 程度行ない、n<sup>+</sup>型拡散層6bを形成し、いわゆるLDD構造を作製する。

【0034】なお、LDD構造を用いずに、拡散層6aのみ或いは拡散層6bのみの、いわゆるシングル・ソース／ドレイン方式の構造としてもよい。また、ここで図示しているチャネル方向の幅Lは、通常のゲート電極におけるチャネル長さに相当するものであり、Lの最小寸法はリソグラフィーの最小寸法によって決まる値である。

【0035】次に、図2(b)及び図13(b)に示すように、全面にCVD-SiO<sub>2</sub>膜(図2(b)の点線で示した部分)を例えば300 nm程度堆積し、例えば800°C程度のN<sub>2</sub>雰囲気中で30分程度デンシファイを行なう。この熱工程は、ソース／ドレイン6のイオン注入層の活性化も兼ねている。拡散層の深さ(Xj)を抑えたいた時は、デンシファイの温度を750°C程度に低温化し、950°Cで10秒程度のRTAプロセスを併用して、イオン注入層の活性化を行なっても良い。この後、CMPによって全面の平坦化を行い、ダミーゲートパターン4となるSi<sub>3</sub>N<sub>4</sub>膜の表面を露出させる。

【0036】次に、図2(c)及び図13(c)に示すように、露出したダミーゲートパターン4を選択的に除去し、素子分離層2及びSiO<sub>2</sub>膜3の表面を露出させる。その後、レジスト膜(図示せず)、層間絶縁膜7及び側壁絶縁膜5をマスクとして、所望のチャネル領域にのみチャネルイオン注入を行なう。nチャネルトランジスタの場合、例えば0.7 V程度のしきい値(V<sub>th</sub>)を設定するためには、例えばボロン(B<sup>+</sup>)を10 KeV、 $5 \times 10^{12} \text{ cm}^{-2}$ 程度イオン注入し、チャネル領域にのみ選択的にp型チャネル不純物層8を形成する。この工程は、SiO<sub>2</sub>膜3を通してイオン注入を行なっても良いし、SiO<sub>2</sub>膜3を剥離してから再度SiO<sub>2</sub>膜を形成し、この新たに形成したSiO<sub>2</sub>膜を介してイオン注入を行なってもよい。また、チャネル不純物層8の活性化は、この後、例えばRTAを用いて800°C、10秒程度の熱処理によって行なうようにしてもよい。

【0037】この工程以後は、高温の熱処理工程を行なわなくてよいので、チャネル領域の不純物プロファイルを急峻なプロファイルに最適化することができ、トランジスタのショートチャネル効果を抑えることができ

る。

【0038】次に、図2(d)及び図13(d)に示すように、 $\text{SiO}_2$ 膜3を例えれば希釈したフッ酸溶液などでエッチングして除去した後、全面にゲート絶縁膜9として、高誘電体膜である $\text{Ta}_2\text{O}_5$ 膜を膜厚20nm程度堆積する。この時、 $\text{Si}$ 界面との間にいわゆる界面準位等ができるにくいように、 $\text{Si}$ 表面に薄い(例えば1nm程度) $\text{SiO}_2$ 膜(図示せず)を形成する、RTPを用いて $\text{NH}_3$ ガス雰囲気中で $\text{Si}$ を直接窒化した膜(図示せず)を形成する、或いは、 $\text{Si}_3\text{N}_4$ 膜(図示せず)などを介して高誘電体膜( $\text{Ta}_2\text{O}_5$ 膜、(Ba、Sr) $\text{TiO}_3$ 膜等)を形成してもよい。また、CVD-SiO<sub>2</sub>膜やCVD-SiON膜、CVD-Si<sub>3</sub>N<sub>4</sub>膜を含む積層膜を用いてもよい。これらの場合には、膜形成後に、例えば1000°C、10秒程度のRTPによる熱処理を行ってデンシファイしてもよい。この様にすると、下地の $\text{Si}$ 界面における界面準位が減少したり、リーク電流が減少するなど、ゲート絶縁膜としての特性を改善することが可能である。

【0039】次に、ゲート電極として、例えばメタル膜10(Ru膜、TiN膜、W膜、タンゲステンナイトライド膜(WN<sub>x</sub>膜)等、或いはこれらの積層膜)を全面に堆積する。もちろん、CVD-SiO<sub>2</sub>膜やCVD-SiON膜、CVD-Si<sub>3</sub>N<sub>4</sub>膜を含む積層膜をゲート絶縁膜とする場合には、不純物をドープした多結晶Siをゲート電極として用いてもよい。

【0040】次に、図2(e)及び図13(e)に示すように、全面をCMPすることにより、メタル電極10及びゲート絶縁膜9をダミーゲートパターン4を除去した後の溝の中に埋め込み、ゲート電極を形成する。この時、図2(e)に示したゲート電極の幅L'は、第2図(a)に示した幅よりも、ゲート絶縁膜9の膜厚の2倍分だけ狭くなっている。つまり、リソグラフィーで決まる最小寸法がL(ここでは0.15μmだと仮定する)、ゲート絶縁膜の厚さが0.02μmだとすると、それよりもゲート絶縁膜9の膜厚の2倍、つまり、0.02μm×2=0.04μmだけ狭くすることができる。したがって、リソグラフィーの限界が0.15μmであるにもかかわらず、ゲート電極の幅L'が0.11μmのものが実現でき、トランジスタのチャネル長をリソグラフィーで決まる寸法よりさらに狭くできるという特徴がある。

【0041】次に、全面に層間絶縁膜11として $\text{SiO}_2$ 膜を約200nm程度の膜厚で堆積した後、ソース/ドレイン6及びゲート電極10に達するコンタクト孔を形成し、A1層を堆積した後これをパターニングして配線12を形成する。さらに全面にパシベーション膜を堆積し、図1に示すようなトランジスタの基本構造が完成する。

【0042】以上のような工程によって作製されたトランジスタでは、ソース/ドレインの活性化及びリフロー工程などの高温熱処理工程を、メタルゲートやゲート絶縁膜である高誘電体膜の形成前に行うことができる。したがって、メタルゲートや高誘電体ゲート絶縁膜は高温工程を受けることがないため、リーク電流の増加などのゲート絶縁膜の劣化を抑えることができる。

【0043】また、ゲート電極の加工法をRIEからCMPに代えることにより、メタル電極材料の選択の制約(例えば加工性や耐熱性等)が無くなり、高誘電体膜のリーク電流が下げられるようなメタル電極材料を選択することができる。また、RIE時にあったようなゲート電極形成時のプラズマプロセスによるダメージ(ゲート絶縁膜の絶縁破壊など)を回避することができる。

【0044】また、従来とは異なりゲート電極形成前にソース/ドレインを形成するが、ソース/ドレインに対して自己整合的にゲート電極が形成される。すなわち、ゲート電極とソース/ドレインとは、従来と同様に自己整合的に形成されることになる。

【0045】また、チャネル領域のみにしきい値(Vt h)調整用のチャネルイオン注入層を形成することができるため、ソース/ドレインの接合リークを減少することができる。また、このチャネルイオン注入層は、ソース/ドレイン拡散層の活性化アニールの高温熱工程を受けないので、急峻な不純物プロファイルを維持でき、短チャネル効果を抑えるのに最適な不純物プロファイルを実現できる。

【0046】また、トランジスタのチャネル長がリソグラフィーの限界で決まるような寸法よりもゲート絶縁膜の膜厚の2倍分だけ短くでき、短チャネル化によりトランジスタの性能を向上させることができる。

【0047】さらに、CVD法等による堆積膜を用いたゲート絶縁膜を用いる事により、STIのSi表面コーナーにおける微少なくぼみ(このくぼみの領域にゲート絶縁膜及びゲート電極が形成され、これによってコーナーに寄生トランジスタが形成され、トランジスタのしきい値を変化させるという問題があった。)を埋め込むことができ、コーナーにおける寄生トランジスタの形成を抑制でき、しきい値のバラツキを抑えることができる。

【0048】次に、本発明の第2実施形態について、図3及び図4を参照して説明する。

【0049】図3(a)及び(b)は、第1実施形態において示した図2(b)及び(c)に対応する工程断面図である。なお、図2に示した構成要素と対応する構成要素には同一番号を付している。

【0050】図2に示した第1実施形態では、ダミーゲートパターンの形成材料として、 $\text{Si}_3\text{N}_4$ 膜を採用しているが、後の工程で層間絶縁膜7に用いる $\text{SiO}_2$ 膜に対して選択的に除去され、将来のゲート電極となるゲートパターンの溝を形成することができる膜であればよい。本実施形態では、ダミーゲートパターン4'の形成

材料としてポリSi膜を用いている。ポリSi膜を採用した場合は、ポリSi膜4のRIE時にSiO<sub>2</sub>膜3に対して選択比が取り易いので、Si基板1へのエッチングダメージを抑え易くなる。

【0051】また、図3の例では、LDD構造のソース／ドレインではなく、シングル・ソース／ドレイン構造を採用した場合の例を示している。シングル・ソース／ドレイン構造の場合は、ダミーゲートパターン4となるポリSi膜をマスクとしてソース／ドレイン6のイオン注入を行なうことになる。

【0052】もちろん、ダミーゲートパターンにポリSi膜を用いた場合にも、第1実施形態で説明したいわゆる側壁残しにより、ソース／ドレインのLDD構造を取ることができる。図4(a)及び(b)は、この場合の例を示したものであり、図2(b)及び(c)に対応する断面図である。ポリSi膜をダミーゲートパターン4として用いる場合には、ダミーゲートパターンの側壁残し膜5として、Si<sub>3</sub>N<sub>4</sub>膜を用いることができる。このように側壁残し膜5にSi<sub>3</sub>N<sub>4</sub>膜を使うと、SiO<sub>2</sub>膜3の除去の時に側壁残し膜5の後退を防ぐことができる。これにより、ゲート電極の寸法(L)の制御性を向上することができる。

【0053】次に、本発明の第3実施形態について、図5を参照して説明する。

【0054】図5は、第1実施形態において示した図2(a)或いは(c)に対応する工程断面図である。なお、図2に示した構成要素と対応する構成要素には同一番号を付している。

【0055】図2に示した第1実施形態では、チャネル領域にのみ選択的にチャネル不純物層を形成する方法について説明したが、工程を簡略化するために、素子分離後にSiO<sub>2</sub>膜3を形成し、その後にレジスト(図示せず)をマスクにして所望の領域にチャネルイオン注入を行ない、チャネル不純物層8を形成するようにしてもよい。この場合、ソース／ドレイン拡散層6の活性化ための熱工程をチャネル不純物層8を形成した後に行なうため、急峻な不純物プロファイルを維持して短チャネル効果を抑えるという特徴は失われるが、ソース／ドレイン拡散層6の活性化アーニールの高温熱工程とチャネルイオン注入層8の高温熱工程とを兼ねることができ、工程簡略化を達成することができる。

【0056】次に、本発明の第4実施形態について、図6に示した工程断面図を参照して説明する。なお、図2に示した構成要素と対応する構成要素には同一番号を付している。

【0057】図2に示した第1実施形態では、通常のソース／ドレインを用いる例を説明したが、本実施形態では、ソース／ドレイン拡散層6の抵抗を下げるため、ソース／ドレイン拡散層6の表面にシリサイド膜14を貼り付けている。本実施形態の工程では、シリサイド膜1

4の貼り付け時にはゲート絶縁膜やゲート電極はまだ形成されていない。したがって、シリサイド化のための熱工程(例えば600°C、30分程度)によって高誘電体膜を用いたゲート絶縁膜やメタルを用いたゲート電極が劣化することがない。また、シリサイド膜14と後の工程で形成されるゲート電極とは、ゲート電極のエッチングによるプロセスダメージの無いゲート絶縁膜で分離されるため、シリサイド膜14とゲート電極とのショートを回避することができる。

【0058】次に、本発明の第5実施形態について、図7に示した工程断面図を参照して説明する。なお、図2に示した構成要素と対応する構成要素には同一番号を付している。

【0059】図2に示した第1実施形態では、通常のソース／ドレインを用いる例を説明したが、本実施形態では、ソース／ドレイン拡散層の抵抗を下げるため、露出させたSi基板表面に選択エピタキシャルSi成長法を用いて、エピタキシャルSi層15を例えば50nmの膜厚で形成している。エピタキシャルSi層を形成してからソース／ドレインのイオン注入を行なっても良いし、エピタキシャルSi層を形成する前にソース／ドレインのイオン注入を行なってもよい。

【0060】本実施形態の工程では、エピタキシャルSi層15の形成時にはゲート絶縁膜やゲート電極はまだ形成されていない。したがって、選択エピタキシャルSi成長時の熱工程(例えば、1000°CでのSi表面の自然酸化膜を除去するための前処理や700°C程度でのSiエピタキシャル成長)によって高誘電体膜を用いたゲート絶縁膜やメタルを用いたゲート電極が劣化することがない。また、エピタキシャルSi層15と後の工程で形成されるゲート電極とは、ゲート電極のエッチングによるプロセスダメージの無いゲート絶縁膜で分離されるため、エピタキシャルSi層15とゲート電極とのショートを回避することができる。

【0061】次に、本発明の第6実施形態について説明する。

【0062】図8は、第6実施形態について、強誘電体メモリを説明するための断面図(a)とそれをメモリチップに構成した時のチップイメージを説明するための図(b)である。

【0063】本実施形態は、第1実施形態等で説明した高誘電体膜をゲート絶縁膜に用いたトランジスタと、これと同様の素子構造でゲート絶縁膜に強誘電体膜を用いた強誘電体メモリとを同一のチップに形成するものである。図8(b)に示すように、メモリセル部21には図8(a)の強誘電体メモリを用い、メモリセルを制御するコントロール回路部(周辺トランジスタ部)やロジック回路部には、図1に示したような高誘電体膜をゲート絶縁膜に用いたトランジスタを用いている。すなわち、メモリ部分とそのコントロール部分やロジック部などで

ゲート絶縁膜の種類を変えて、 $m$ それぞれの領域で最適な膜厚や材料を使用することができる。次に、図9

(a)～図10(d)を参照して、本実施形態の製造工程について説明する。なお、図2等に示した構成要素と対応する構成要素には同一番号を付している。

【0064】まず、図9(a)に示すように、メモリセル部と周辺トランジスタ部とを、第1実施形態における図2(b)の工程と同じようにして、全面CMPを行ない、ダミーゲートパターン4の表面を露出させる。ここでは、チャネルイオン注入層8a及び8b(チャネルイオン注入層8a及び8bは、メモリセル部と周辺トランジスタ部のしきい値(Vth)がそれぞれ最適になるよう、それぞれイオン注入条件が最適化されている。)をソース/ドレイン領域6の形成よりも先に行なう第3実施形態(図5参照)の方法を採用している。もちろん、第1実施形態のように、チャネルイオン注入をソース/ドレイン領域の形成後に行っても良い。その場合は、メモリセル部或いは周辺トランジスタ部のゲート絶縁膜やメタル電極を形成してから、例えばRTA法などにより、800°C、10秒程度でイオン注入層の活性化アニールを行うことになる。

【0065】次に、図9(b)に示すように、メモリセル部の露出したダミーゲートパターン4(Si<sub>3</sub>N<sub>4</sub>膜)をレジスト膜(図示せず)をマスクとして、例えばホットリン酸のエッチング液を用いて選択的に除去し、後の工程でゲート電極が形成される溝を形成する。この時、周辺トランジスタ部はレジスト膜(図示せず)に覆われているため、露出したダミーゲートパターン4(Si<sub>3</sub>N<sub>4</sub>膜)は保護されている。

【0066】次に、SiO<sub>2</sub>膜3を除去してSi基板1表面を露出させ、例えば誘電体膜9aを介して強誘電体膜9bを堆積する。誘電体膜9aは、Si基板1表面に強誘電体膜9bを安定して形成するためのものであり、例えば膜厚1nm程度のSi<sub>3</sub>N<sub>4</sub>膜や膜厚2nm程度の高誘電体膜であるTa<sub>2</sub>O<sub>5</sub>膜等を用いることができる。また、強誘電体膜9bとしては、例えば、Bi<sub>4</sub>Ti<sub>3</sub>O<sub>12</sub>、PZT、PLZT、BiSr<sub>2</sub>Ta<sub>2</sub>O<sub>9</sub>、BaMgF<sub>4</sub>等や、1nm程度の膜厚のエピタキシャル成長させた酸化セリウム(CeO<sub>2</sub>)の上に形成するエピタキシャル成長させた膜厚20nm程度の(Ba、Sr)TiO<sub>3</sub>膜を用いることができる。次に、全面にゲート電極10aとして、例えばPt、Ru、Au、TiN、W、TiWなど、或いは貴金属(Pd、Ir、Rh、Os等)などの金属材料を堆積する。

【0067】次に、図10(c)に示すように、メタル膜10aと誘電体膜9a及び9bのCMPを行ない、メモリセル部にゲート電極を形成する。続いて、周辺トランジスタ部の露出したダミーゲートパターン4(Si<sub>3</sub>N<sub>4</sub>膜)を、必要であればレジスト膜(図示せず)をマスクとして、例えばホットリン酸のエッチング液を用い

て選択的に除去し、後の工程でゲート電極が形成される溝を形成する。続いて、SiO<sub>2</sub>膜3を除去してSi基板1表面を露出させ、全面にゲート絶縁膜9cとして例えば高誘電体膜のTa<sub>2</sub>O<sub>5</sub>膜を膜厚20nm程度堆積する。この時、Si基板1界面との間にいわゆる界面準位等ができるにくいように、前処理を行なうとか、或いは、界面に薄い(例えば1nm程度)SiO<sub>2</sub>膜やSi<sub>3</sub>N<sub>4</sub>膜などを介して高誘電体膜(Ta<sub>2</sub>O<sub>5</sub>膜や(Ba、Sr)TiO<sub>3</sub>膜など)を堆積しても良い。その後、ゲート電極として、例えばメタル膜10b(Pt膜、Ru膜、TiW膜、WN<sub>x</sub>膜、TiN膜、W膜等やこれらの積層膜)を全面に堆積する。

【0068】次に、図10(d)に示すように、メタル膜10bと誘電体膜9cのCMPを行ない、周辺トランジスタ部のゲート電極を形成する。次に、全面に層間絶縁膜(図示せず)としてSiO<sub>2</sub>膜を約200nm程度の膜厚で堆積し、ソース、ドレイン及びゲート電極に対するコンタクトを開口し、A1層の堆積及びバーニングにより配線(図示せず)を形成する。さらに、全面にパシベーション膜(図示せず)を堆積し、メモリチップの基本構造が完成する。

【0069】本実施形態によれば、メモリセル部と周辺トランジスタ部とで、それぞれ最適なゲート絶縁膜の材料及び膜厚を選択することができる。また、強誘電体膜を用いた1トランジスタメモリと高誘電体膜をゲート絶縁膜として用いた高性能トランジスタ(周辺回路用)を集積化したチップを、少ない工程数で素子性能を劣化させることなく実現することができる。

【0070】なお、ここではメモリセル部と周辺トランジスタ部について説明したが、この他にロジック回路部が同一チップ内に混在していてもよい。

【0071】次に、本発明の第7実施形態について、図11を参照して説明する。

【0072】本実施形態は、上記第6実施形態の変更例であり、特にチャネル不純物層8の作製方法が第6実施形態とは異なっている。なお、図9等に示した構成要素と対応する構成要素には同一番号を付している。

【0073】まず、図11(a)に示した例について説明する。なお、図11(a)は、図9(a)と(b)との間の段階に相当する工程について示したものである。

【0074】周辺トランジスタ部のダミーゲートパターン4を選択除去した後、チャネルイオン注入層8dをチャネル領域にのみ選択形成する。続いて、チャネルイオン注入層8dの活性化アニールを行ない、その後、ゲート電極10cとゲート絶縁膜9dを、図9に示した第6実施形態のようにCMP法により形成する。なお、メモリセル部のチャネル不純物層8cは、図に示すように、ソース/ドレイン領域6と重なるように形成している。

【0075】つぎに、図11(b)に示した例について説明する。

【0076】本実施形態は、周辺トランジスタ部の他、メモリセル部についてもチャネルイオン注入層8eの選択形成を行ったものである。すなわち、周辺トランジスタ部のゲート絶縁膜9eがCVD-SiO<sub>2</sub>膜やCVD-Si<sub>3</sub>N<sub>4</sub>膜などの積層膜で、ゲート電極10cがn+ポリSi層であり、800°C程度の熱処理に対してもゲート絶縁膜としての特性劣化が無いゲート電極/ゲート絶縁膜構造である場合には、本実施形態のようにメモリセル部についてもチャネルイオン注入層8eの選択形成を行うことができる。

【0077】なお、本発明は以上説明した各実施形態に限定されるものではなく、その趣旨を逸脱しない範囲において種々変形して実施可能である。

#### 【0078】

【発明の効果】本発明における半導体装置によれば、ゲート電極の底面及び側面がゲート絶縁膜によって覆われているため、従来のように後酸化を行わなくても、ゲート電極と基板との間或いはゲート電極とソース/ドレインとの間の良好な耐圧を確保することが可能となる。また、ゲート電極の側面にもゲート絶縁膜が形成されているため、半導体素子のチャネル長を、リソグラフィーの限界で決まる寸法よりもゲート絶縁膜の膜厚の2倍分だけ短くすることができ、半導体素子の性能を向上させることができるとなる。

【0079】また、本発明における半導体装置の製造方法によれば、ゲート電極及びゲート絶縁膜を形成する前に、例えばソース/ドレイン領域に導入された不純物の活性化工程等、種々の高温熱処理工程を行いうことが可能であり、高温熱処理によるゲート絶縁膜、例えば高誘電体膜の劣化等を防止することが可能となる。また、ゲート電極を従来のようにRIEを用いずにCMPによって形成することができるので、RIEを用いた場合に見られるようなプラズマによるダメージを回避することができる。さらに、不純物イオン注入をダミーゲートパターンをマスクとして行い、ダミーゲートパターンを除去した領域にゲート電極を形成するので、ソース/ドレインに対して自己整合的にゲート電極を形成することができ

る。

【0080】以上のように、本発明によれば、信頼性や特性に優れた半導体素子を得ることが可能となる。

#### 【図面の簡単な説明】

【図1】本発明の第1実施形態に係る半導体装置の構成の一例を示した図。

【図2】本発明の第1実施形態に係る半導体装置の製造方法の一例を示した図。

【図3】本発明の第2実施形態に係る半導体装置の製造方法の一例についてその工程の一部を示した図。

【図4】本発明の第2実施形態に係る半導体装置の製造方法の他の例についてその工程の一部を示した図。

【図5】本発明の第3実施形態に係る半導体装置の製造方法の一例についてその工程の一部を示した図。

【図6】本発明の第4実施形態に係る半導体装置の製造方法の一例についてその工程の一部を示した図。

【図7】本発明の第5実施形態に係る半導体装置の製造方法の一例についてその工程の一部を示した図。

【図8】本発明の第6実施形態に係る半導体装置の構成の一例を示した図。

【図9】本発明の第6実施形態に係る半導体装置の製造方法の一例についてその工程の一部を示した図。

【図10】本発明の第6実施形態に係る半導体装置の製造方法の一例についてその工程の一部を示した図。

【図11】本発明の第7実施形態に係る半導体装置の製造方法の一例についてその工程の一部を示した図。

【図12】従来技術に係る半導体装置について示した図。

【図13】図2に示した本発明の第1実施形態に係る半導体装置の製造方法の一例を平面図によって示した図。

#### 【符号の説明】

1…半導体基板

4…ダミーゲートパターン

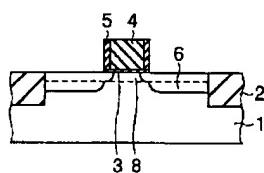
6…ソース/ドレイン

7…絶縁膜

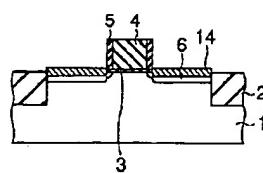
9、9a～9e…ゲート絶縁膜

10、10a～10d…ゲート電極

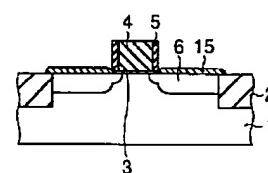
【図5】



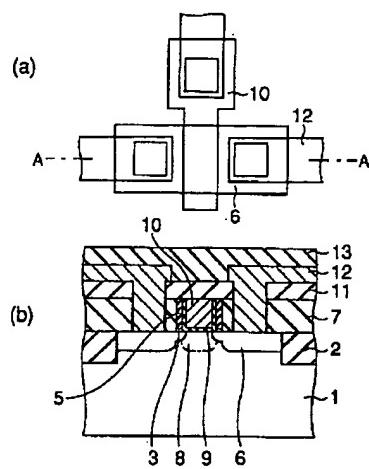
【図6】



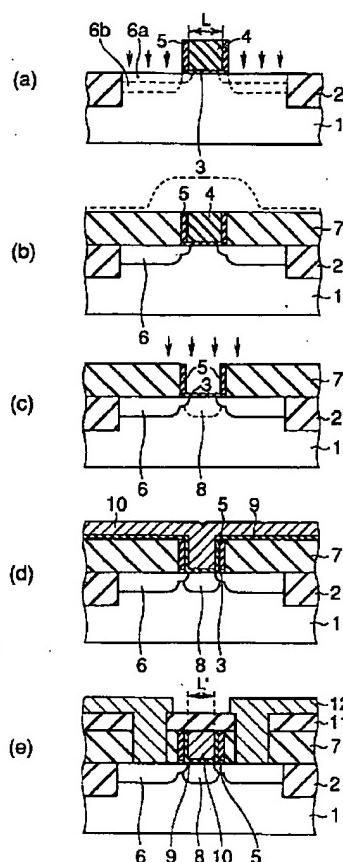
【図7】



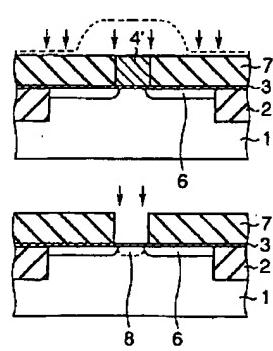
【図1】



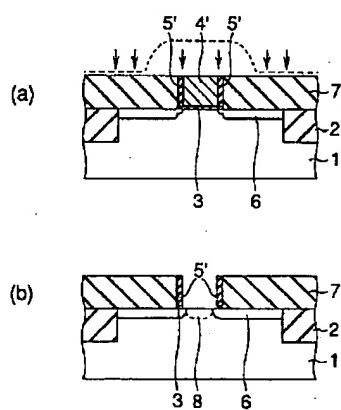
【図2】



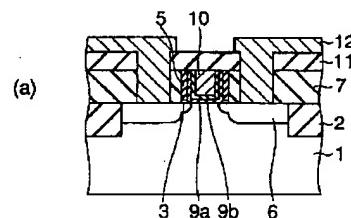
【図3】



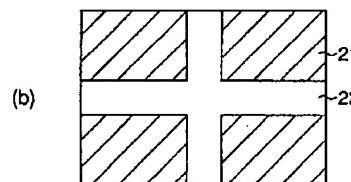
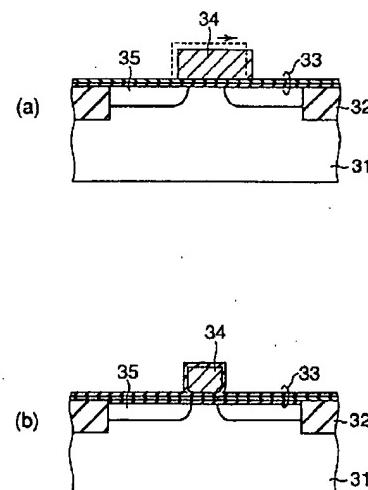
【図4】



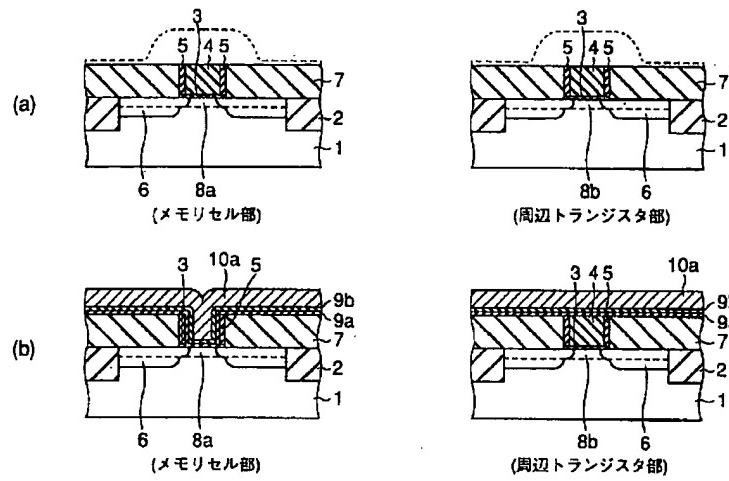
【図8】



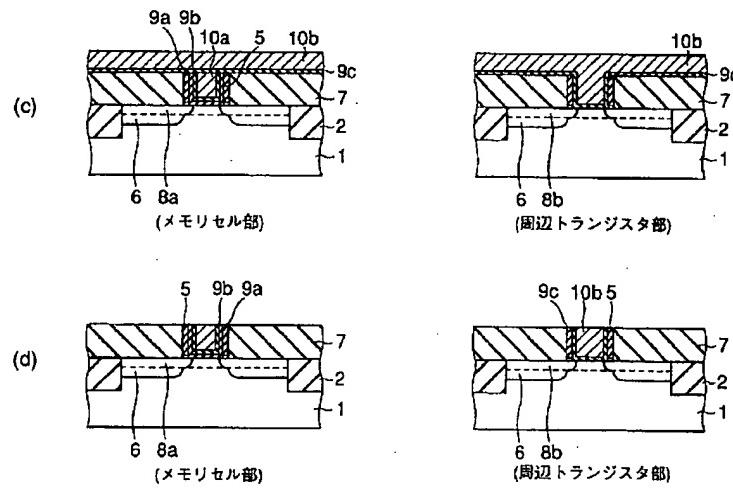
【図12】



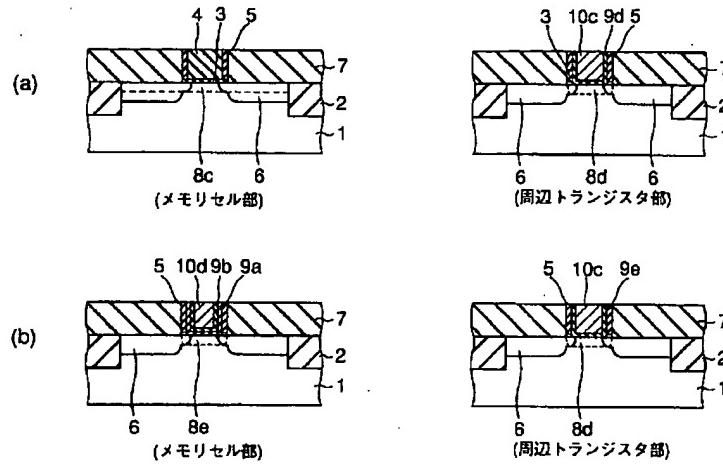
【図9】



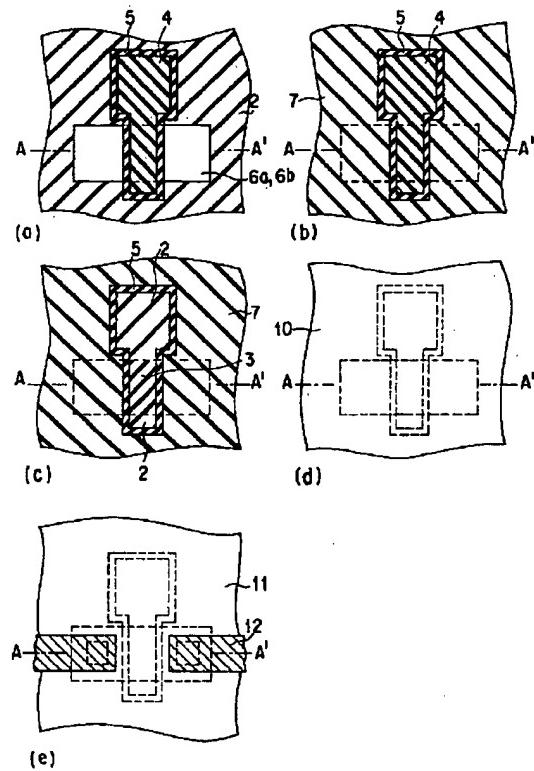
【図10】



【図11】



【図13】



フロントページの続き

(72)発明者 青山 知憲  
 神奈川県川崎市幸区小向東芝町1番地 株  
 式会社東芝研究開発センター内